

特許協力条約

PCT

REC'D 24 JUN 2005

WIPO

PCT

特許性に関する国際予備報告（特許協力条約第二章）

(法第 12 条、法施行規則第 56 条)
〔PCT36 条及び PCT 規則 70〕

出願人又は代理人 の書類記号 JSONY-600PCT	今後の手続きについては、様式 PCT/IPEA/416 を参照すること。	
国際出願番号 PCT/JP2004/011806	国際出願日 (日.月.年) 11.08.2004	優先日 (日.月.年) 19.08.2003
国際特許分類 (IPC) Int.Cl. ⁷ H01L21/822, 23/52, 25/04, 25/18, 27/04		
出願人 (氏名又は名称) ソニー株式会社		

1. この報告書は、PCT35 条に基づきこの国際予備審査機関で作成された国際予備審査報告である。
法施行規則第 57 条 (PCT36 条) の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。

3. この報告には次の附属物件も添付されている。

a. 附属書類は全部で 4 ページである。

指定されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙 (PCT 規則 70.16 及び実施細則第 607 号参照)

第 I 欄 4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙

b. 電子媒体は全部で _____ (電子媒体の種類、数を示す)。
配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するテーブルを含む。 (実施細則第 802 号参照)

4. この国際予備審査報告は、次の内容を含む。

第 I 欄 国際予備審査報告の基礎
 第 II 欄 優先権
 第 III 欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 第 IV 欄 発明の單一性の欠如
 第 V 欄 PCT35 条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 第 VI 欄 ある種の引用文献
 第 VII 欄 国際出願の不備
 第 VIII 欄 国際出願に対する意見

国際予備審査の請求書を受理した日 16.03.2005	国際予備審査報告を作成した日 07.06.2005	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 宇多川 勉	4 L 3125
	電話番号 03-3581-1101 内線 3498	

第I欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

- この報告は、_____語による翻訳文を基礎とした。
それは、次の目的で提出された翻訳文の言語である。
 - PCT規則12.3及び23.1(b)にいう国際調査
 - PCT規則12.4にいう国際公開
 - PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。（法第6条（PCT第14条）の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。）

- 出願時の国際出願書類
- 明細書

第 1-3 6	ページ、出願時に提出されたもの
第 _____	ページ*、_____ 付けて国際予備審査機関が受理したもの
第 _____	ページ*、_____ 付けて国際予備審査機関が受理したもの
- 請求の範囲

第 1 2	項、出願時に提出されたもの
第 4-1 1	項*、PCT第19条の規定に基づき補正されたもの
第 _____	項*、_____ 付けて国際予備審査機関が受理したもの
第 _____	項*、_____ 付けて国際予備審査機関が受理したもの
- 図面

第 1-8	ページ/図、出願時に提出されたもの
第 _____	ページ/図*、_____ 付けて国際予備審査機関が受理したもの
第 _____	ページ/図*、_____ 付けて国際予備審査機関が受理したもの
- 配列表又は関連するテーブル
配列表に関する補充欄を参照すること。

3. 補正により、下記の書類が削除された。

- 明細書 第 _____ ページ
- 請求の範囲 第 1-3, 13 項
- 図面 第 _____ ページ/図
- 配列表（具体的に記載すること） _____
- 配列表に関するテーブル（具体的に記載すること） _____

4. この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。（PCT規則70.2(c)）

- 明細書 第 _____ ページ
- 請求の範囲 第 _____ 項
- 図面 第 _____ ページ/図
- 配列表（具体的に記載すること） _____
- 配列表に関するテーブル（具体的に記載すること） _____

* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 4-6, 8-12	有
	請求の範囲 7	無
進歩性 (I S)	請求の範囲 11	有
	請求の範囲 4-10, 12	無
産業上の利用可能性 (I A)	請求の範囲 4-12	有
	請求の範囲	無

2. 文献及び説明 (PCT規則70.7)

- 文献1 : JP 2000-332202 A (日本電気株式会社)
2000. 11. 30, 段落【0014】，第1図
- 文献2 : JP 2003-004808 A (日本電気株式会社)
2003. 01. 08, 段落【0029】-【0032】，第9図
- 文献3 : JP 2003-124331 A (株式会社東芝)
2003. 04. 25, 全文, 全図
- 文献4 : JP 2002-033361 A (ミツミ電機株式会社)
2002. 01. 31, 段落【0016】-【0018】，第2図 &
US 2003/0030129 A1, 段落【0033】-【0035】
第2図
- 文献5 : JP 06-224373 A (株式会社東芝)
1994. 08. 12, 全文, 全図 &
US 5587598 A, 全文, 全図
- 文献6 : JP 08-167703 A (松下電器産業株式会社)
1996. 06. 25, 全文, 全図 &
EP 707316 A2, 全文, 全図
- 文献7 : JP 2003-121504 A (セイコーエプソン株式会社)
2003. 04. 23, 段落【0007】

請求の範囲4に係る発明は、国際調査報告で引用された文献1と新たに引用した文献2-4により進歩性を有しない。文献2の段落【0029】-【0032】及び第9図には、テスト時の入出力に用いられる外部Pinをチップ間配線に電気的に接続する技術が開示されており、文献1においてチップを独立にテストするために文献2に開示された技術を用いることは当業者にとって容易である。また、文献3に記載されているように、過電流から内部回路を保護するために内部回路の入出力部に対して保護素子を形成すること、又は、文献4の段落【0016】-【0018】及び第2図に記載されているように、テスト用の端子に対して保護素子を設けることは周知技術に過ぎない。

請求の範囲5に係る発明は、文献1-5とにより進歩性を有しない。文献1に記載されたダイオード素子は配線形成時に生じるプラズマダメージから素子を保護するものであり、文献3、4に記載された保護素子はサージ等の過電流から素子を保護するものであるため、文献1と文献3、4の保護素子の能力は異なるものであると認められる。

第VII欄 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

請求の範囲 12 には、「前記外部接続回路」との記載があるが、請求の範囲 12 が引用している請求の範囲 10 には、「外部接続回路」に対応する記載はなく対応関係が不明瞭である。

補充欄

いずれかの欄の大きさが足りない場合

第 V. 2 欄の続き

請求の範囲 6 に係る発明は、文献 1-4 と新たに引用した文献 5 とにより進歩性を有しない。文献 5 には、配線形成時に生じるプラズマダメージから素子を保護する保護素子を配線形成後に切断する技術が開示されており、文献 1-4 に文献 5 に開示された技術を用いることは当業者にとって容易である。

請求の範囲 7 に係る発明は、文献 1 により新規性、進歩性を有しない。文献 1 に記載されたダイオード素子は配線形成時に生じるプラズマダメージから素子を保護するものであるため、文献 1 において配線形成時にはダイオード素子を機能させた状態であると認められる。

請求の範囲 8、9 に係る発明は、文献 1 と国際調査報告で引用された文献 6 とにより進歩性を有しない。文献 6 に記載されているように、チップ間の接続を突起電極で行うことは周知技術であり、文献 1 において当該周知技術を用いることは当業者にとって容易である。

請求の範囲 10、12 に係る発明は、文献 1、6 と新たに引用した文献 7 により進歩性を有しない。文献 7 の段落【0007】に記載されているように、接続工程の前に検査を行うことは周知技術であり、文献 1、6 に当該周知技術を用いることは当業者にとって容易である。

請求の範囲 11 に係る発明は、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

PCT/JP2004/011806

日本国特許庁 16.3.2005

請求の範囲

1. (削除)
2. (削除)
- 5 3. (削除)
4. (補正後) 半導体素子にて構成された、少なくとも内部回路が形成されている半導体チップを複数個備えて構成されている半導体装置であって、
前記複数個の半導体チップのそれぞれに形成されている前記
10 内部回路同士を接続する信号ラインが電気的に直接に接続され
ているとともに、
前記内部回路同士を接続する信号ラインの、前記接続に関わる
ダメージから前記半導体素子を保護するための第1の保護回路
が設けられており、
15 前記半導体チップには、前記信号ラインと電気的に接続され、
当該信号ラインの信号を外部機器に伝達するとともに、当該接続
に関わるダメージから前記半導体素子を保護するための第2の
保護回路を具備した外部接続回路が形成されている

PCT/JP2004/011806

日本国特許庁 16.3.2005

ことを特徴とする半導体装置。

5. (補正後) 前記第1の保護回路の前記ダメージに対する保護能力は、前記外部接続回路が備える、前記第2の保護回路の保護能力とは異なる

5 ことを特徴とする請求の範囲第4項に記載の半導体装置。

6. (補正後) 前記第1の保護回路を構成する回路部材の一部が、前記信号ラインに対する電気的な接続と切断とを切り替え可能な切替回路を備えている

ことを特徴とする請求の範囲第4項に記載の半導体装置。

10 7. (補正後) 半導体素子にて構成された、少なくとも内部回路が形成されている半導体チップを複数個備えて構成されている半導体装置を製造する方法であつて、

前記複数個の半導体チップのそれぞれに形成されている前記内部回路同士を電気的に直接に接続することに関わるダメージ
15 から前記半導体素子を保護するための第1の保護回路が設けられた前記複数個の半導体チップについて、前記保護回路を機能させた状態で、前記複数個の半導体チップの各内部回路間を、電気的に直接に接続する接続工程を備える。

ことを特徴とする半導体装置の製造方法。

20 8. (補正後) 半導体素子にて構成された、少なくとも内部回路が形成されている半導体チップを複数個備えて構成されている半導体裝

日本国特許庁 16.3.2005

置を製造する方法であって、

前記複数個の半導体チップのそれぞれに形成されている前記内部回路同士を電気的に直接に接続することに関するダメージから前記半導体素子を保護するための第1の保護回路が設けられた前記複数個の半導体チップについて、前記保護回路を機能させた状態で、前記複数個の半導体チップの各内部回路間を、電気的に直接に接続するための突起電極を形成する電極形成工程を備えることを特徴とする半導体装置の製造方法。

9. (補正後) 前記第1の保護回路を機能させた状態で、前記電極形成工程によって形成された前記突起電極を用いて、前記複数個の半導体チップの各内部回路間を電気的に直接に接続する接続工程を備えることを特徴とする請求の範囲第8項に記載の半導体装置の製造方法。

10. (補正後) 前記接続工程の前に、前記複数個の半導体チップについて、当該半導体チップごとに前記内部回路の機能検査を行なう検査工程を備えることを特徴とする請求の範囲第7項または9項に記載の半導体装置の製造方法。

11. (補正後) 前記半導体チップには、前記内部回路からの信号ラインに電気的に接続され、当該信号ラインの信号を外部機器に伝達する外部接続回路が形成されており、

前記検査工程と前記接続工程との間に、前記内部回路同士を直接に接続する対象となる信号ラインに対して設けられた前記外部接続回路の少なくとも一部を電気的に分離する分離工程をさらに備えたことを特徴とする請求の範囲第10項に記載の半導体装置の製造方法。

12. 前記検査工程を、前記半導体チップ上に形成された前記

PCT/JP2004/011806

日本国特許庁 16.3.2005

40

外部接続回路を介して行なうことの特徴とする請求の範囲第1
0項に記載の半導体装置の製造方法。

13. (削除)